

日 本 国 特 許 庁
JAPAN PATENT OFFICE

S. Aino et al.

7/7/03

Q76415

1 of 1

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月10日

出 願 番 号

Application Number:

特願2002-201796

[ST.10/C]:

[JP2002-201796]

出 願 人

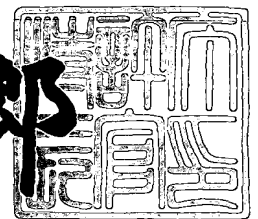
Applicant(s):

日本電気株式会社

2003年 5月 6日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3032905

【書類名】 特許願

【整理番号】 66206669

【提出日】 平成14年 7月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 11/00

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 愛野 茂幸

【発明者】

 【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

 【氏名】 山崎 茂雄

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100088328

 【弁理士】

 【氏名又は名称】 金田 暢之

 【電話番号】 03-3585-1882

【選任した代理人】

 【識別番号】 100106297

 【弁理士】

 【氏名又は名称】 伊藤 克博

【選任した代理人】

 【識別番号】 100106138

 【弁理士】

 【氏名又は名称】 石橋 政幸

【手数料の表示】

 【予納台帳番号】 089681

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9710078

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 情報処理装置

【特許請求の範囲】

【請求項 1】 プロセッサおよびメモリをそれぞれ備えた複数のモジュールと、

複数の前記モジュールのプロセッサの動作の一致を監視しており、他のモジュールのプロセッサと動作が不一致となったモジュールを検出すると、全ての前記モジュールに停止を指示する監視手段と、

前記監視手段により、いずれかのモジュールのプロセッサの動作が他のモジュールと不一致となったことが検出されると、不一致が検出されたアクセスおよびそれ以降に前記各モジュールのプロセッサがライトアクセスするアドレスを記録するアドレス記憶手段と、

全ての前記モジュールが停止すると、動作が他のモジュールと不一致となったことが前記監視手段により検出された前記モジュール内のメモリに、前記アドレス記憶手段に記録されたアドレスについてのみ、他のモジュール内のメモリからデータをコピーするデータコピー手段を有する情報処理装置。

【請求項 2】 前記データコピー手段は、動作が他のモジュールと不一致となったことが前記監視手段により検出された前記モジュールに固定的な故障が生じていないときだけデータをコピーする、請求項 1 記載の情報処理装置。

【請求項 3】 前記データコピー手段は、ダイレクトメモリアクセスによりデータをコピーする、請求項 1 または 2 記載の情報処理装置。

【請求項 4】 複数の前記モジュールは互いにクロック同期して同じ処理を同時に実行しており、

前記監視手段は、前記各モジュールのプロセッサによるアクセスのアドレスストローブのタイミングの一致により前記プロセッサの動作の一致を監視する、請求項 1 ～ 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】 複数の前記モジュールは互いにクロック同期して同じ処理を同時に実行しており、

前記監視手段は、前記各モジュールのプロセッサによる、アクセスのアドレス

ストローブのタイミング、該タイミングにおけるコマンドおよびアドレスの一致により前記プロセッサの動作の一致を監視する、請求項 1 ～ 3 のいずれか 1 項に記載の情報処理装置。

【請求項 6】 前記プロセッサはキャッシュを有しており、

前記監視手段の指示により全ての前記モジュールが停止した後、前記データコピー手段がデータをコピーする前に、ロックステップの外れていないモジュールのプロセッサがキャッシュフラッシュを行い、

前記アドレス記憶手段は、前記キャッシュフラッシュによりデータの書き戻されるアドレスを記録する、請求項 1 ～ 5 のいずれか 1 項に記載の情報処理装置。

【請求項 7】 前記データコピー手段が前記アドレス記憶手段に記録されている全てのアドレスについてデータのコピーを完了すると、全ての前記モジュールが動作を開始する、請求項 1 ～ 6 のいずれか 1 項に記載の情報処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、クロック同期させた複数のコンピューティングモジュールで同じ命令列を同時に処理するロックステップフォルトトレラントコンピュータのようなフォルトトレラントコンピュータに関し、特に、他のコンピューティングモジュールとの動作の同一性が崩れて運用から切り離されたコンピューティングモジュールを他のコンピューティングモジュールに同期させる処理の高速化に関する。

【 0 0 0 2 】

【従来の技術】

従来のロックステップフォルトトレラントコンピュータは、複数のコンピューティングモジュールを有し、これら複数のコンピューティングモジュールで同じ命令を同時に実行している。そして、故障あるいはその他の何らかの要因でいずれかのコンピューティングモジュールが他のコンピューティングモジュールと異なる動作をすることがある。

【 0 0 0 3 】

ロックステップフォルトトレラントコンピュータは、他のコンピューティング

モジュールと異なる動作をした（すなわちロックステップが外れた）コンピューティングモジュールを検出すると、そのコンピューティングモジュールを一旦運用状態から切り離す。

【0004】

コンピューティングモジュールのロックステップが外れる要因には様々なものがある。そして、ロックステップの外れに対する対処方法は要因により異なる。

【0005】

ロックステップが外れる1つの要因として、コンピューティングモジュール内で起こる固定的な故障がある。固定的な故障とは、一時的な擾乱や、自然に復旧するような故障でなく、何らかの修理を必要とするようなものである。

【0006】

いずれかのコンピューティングモジュールに固定的な故障が起きると、通常、故障したコンピューティングモジュールをロックステップフォルトトレラントコンピュータから取り出し、その代わりに他の正常なコンピューティングモジュールを取り付ける。

【0007】

ロックステップが外れる他の要因として、コンピューティングモジュールの製造上の差違により、一時的に動作タイミングが他のコンピューティングモジュールとずれることが考えられる。また、さらに他の要因として、 α 線などの影響によりメモリが一時的に誤動作することが考えられる。これらの場合、コンピューティングモジュールに固定的な故障が生じていないので、コンピューティングモジュールを交換する必要がない。

【0008】

固定的な故障が生じた場合にはコンピューティングモジュールを交換した後、固定的な故障が生じていない場合には交換せずにそのまま、運用状態から切り離されているコンピューティングモジュールを再び他のコンピューティングモジュールと同期させる。運用から切り離されているコンピューティングモジュールを他のコンピューティングモジュールと同期させる（運用に組み込む）処理を再同期化処理という。

【 0 0 0 9 】

運用状態から切り離されていたコンピューティングモジュールを組み込むとき、ロックステップフォルトトレラントコンピュータは、組み込みを行うコンピューティングモジュールのメモリに他のコンピューティングモジュールのメモリの内容をコピーする。それ以降、新たに組み込まれたコンピューティングモジュールは他のコンピューティングモジュールと同じ動作をする。

【 0 0 1 0 】

【発明が解決しようとする課題】

従来のロックステップフォルトトレラントコンピュータは、運用状態から切り離されたコンピューティングモジュールを組み込むとき、全てのコンピューティングモジュールを停止させて、メモリ全体の内容のコピーを行っていた。これは、全てのコンピューティングモジュールの内部の状態を完全に一致させるためである。

【 0 0 1 1 】

しかし、処理性能や記憶能力を向上させるために、近年、ロックステップフォルトトレラントコンピュータのコンピューティングモジュール内のメモリ容量は増大している。そして、現在、コンピューティングモジュール内のメモリの容量は数ギガバイトにも及んでいる。そのため、コンピューティングモジュール内のメモリの内容を全てコピーすることは長時間を要する。

【 0 0 1 2 】

そのため、従来のロックステップフォルトトレラントコンピュータは、運用状態から切り離されたコンピューティングモジュールを組み込むために、長時間、運用を停止していた。

【 0 0 1 3 】

本発明の目的は、運用状態から切り離されたコンピューティングモジュールを組み込むときの停止時間の短いフォルトトレラントコンピュータを提供することである。

【 0 0 1 4 】

【課題を解決するための手段】

上記目的を達成するために、本発明の情報処理装置は、プロセッサおよびメモリをそれぞれ備えた複数のモジュールと、

複数の前記モジュールのプロセッサの動作の一致を監視しており、他のモジュールのプロセッサと動作が不一致となったモジュールを検出すると、全ての前記モジュールに停止を指示する監視手段と、

前記監視手段により、いずれかのモジュールのプロセッサの動作が他のモジュールと不一致となったことが検出されると、不一致が検出されたアクセスおよびそれ以降に前記各モジュールのプロセッサがライトアクセスするアドレスを記録するアドレス記憶手段と、

全ての前記モジュールが停止すると、動作が他のモジュールと不一致となったことが前記監視手段により検出された前記モジュール内のメモリに、前記アドレス記憶手段に記録されたアドレスについてのみ、他のモジュール内のメモリからデータをコピーするデータコピー手段を有している。

【 0 0 1 5 】

したがって、本発明によれば、監視手段がロックステップの外れを検出すると、アドレス記憶手段が、ロックステップの外れたモジュールにおいてデータが他のモジュールと異なる可能性のあるメモリのアドレスを記録し、データコピー手段が、アドレス記憶手段に記録されているアドレスのデータだけをコピーするので、短い時間でデータコピーが完了させることができ、ロックステップの外れたモジュールを早期に運用に組み込むことができる。

【 0 0 1 6 】

また、本発明の情報処理装置において、前記データコピー手段は、動作が他のモジュールと不一致となったことが前記監視手段により検出された前記モジュールに固定的な故障が生じていないときだけデータをコピーしてもよい。

【 0 0 1 7 】

本発明の一態様によれば、前記データコピー手段は、ダイレクトメモリアクセスによりデータをコピーする。

【 0 0 1 8 】

また、本発明の情報処理装置は、複数の前記モジュールは互いにクロック同期

して同じ処理を同時に実行しているロックステップ型のフォルトトレラントコンピュータであり、

前記監視手段は、前記各モジュールのプロセッサによるアクセスのアドレスストロープのタイミングの一致により前記プロセッサの動作の一致を監視するとしてもよい。

【 0 0 1 9 】

あるいは、前記監視手段は、前記各モジュールのプロセッサによる、アクセスのアドレスストロープのタイミング、該タイミングにおけるコマンドおよびアドレスの一致により前記プロセッサの動作の一致を監視するとしてもよい。

【 0 0 2 0 】

したがって、本発明によれば、ロックステップを早期に検出することができる。

【 0 0 2 1 】

本発明の一態様によれば、前記プロセッサはキャッシュを有しており、

前記監視手段の指示により全ての前記モジュールが停止した後、前記データコピー手段がデータをコピーする前に、ロックステップの外れていないモジュールのプロセッサがキャッシュフラッシュを行い、

前記アドレス記憶手段は、前記キャッシュフラッシュによりデータの書き戻されるアドレスを記録する。

【 0 0 2 2 】

また、本発明の情報処理装置は、前記データコピー手段が前記アドレス記憶手段に記録されている全てのアドレスについてデータのコピーを完了すると、全ての前記モジュールが動作を開始するとしてもよい。

【 0 0 2 3 】

【発明の実施の形態】

従来技術として述べたように、ロックステップが外れる要因には、コンピューティングモジュールの固定的な故障と、そうでないものがある。固定的な故障が生じたコンピューティングモジュールは交換する必要がある。しかし、固定的な故障でない要因によりロックステップが外れたコンピューティングモジュール

は、通常、交換されずそのまま運用に組み込まれる。そのため、コンピューティングモジュールのロックステップが外れたとき、そのコンピューティングモジュールが交換されずにそのまま組み込まれることは少なくない。また、ロックステップの外れたコンピューティングモジュールのメモリ内のデータは、ロックステップの外れていない他のコンピューティングモジュールのメモリ内のデータと差が生じていることが考えられる。しかし、その差分は小さいことが多い。

【 0 0 2 4 】

本発明の一実施形態について図面を参照して詳細に説明する。

【 0 0 2 5 】

本実施形態は、ロックステップの外れたコンピューティングモジュールを交換せずに組み込むときの、ロックステップフォルトトレラントコンピュータの停止時間を短縮するものである。

【 0 0 2 6 】

図 1 は、本発明による一実施形態のロックステップフォルトトレラントコンピュータの構成を示すブロック図である。

【 0 0 2 7 】

図 1 を参照すると、ロックステップフォルトトレラントコンピュータは、コンピューティングモジュール 1 0 0、2 0 0、3 0 0、周辺装置制御部 4 0 0、5 0 0、タイミング監視部 7 0 0、アドレス記憶部 7 0 1 およびデータ転送部 7 0 2 を有する。

【 0 0 2 8 】

コンピューティングモジュール 1 0 0 は、プロセッサ 1 0 1、1 0 2、メモリ 1 0 4 およびメモリ制御部 1 0 5 を有している。

【 0 0 2 9 】

プロセッサ 1 0 1 とプロセッサ 1 0 2 は同じ構成でありバス 1 0 3 を共有している。プロセッサ 1 0 1、1 0 2 のバス 1 0 3 にメモリ制御部 1 0 5 が接続されている。メモリ 1 0 4 はメモリ制御部 1 0 5 に接続されている。

【 0 0 3 0 】

メモリ制御部 1 0 5 は信号線 7 3 0 を介してデータ転送部 7 0 2 に接続されて

いる。また、メモリ制御部105は信号線600を介して周辺装置制御部400に接続され、信号線610を介して周辺装置制御部500に接続されている。

【0031】

コンピューティングモジュール100、200、300は全て同じ構成である。コンピューティングモジュール200は、プロセッサ201、202、メモリ204およびメモリ制御部205を有している。プロセッサ201、202はバス203を共有している。メモリ制御部205は信号線731を介してデータ転送部702に接続されている。また、メモリ制御部205は信号線601を介して周辺装置制御部400に接続され、信号線611を介して周辺装置制御部500に接続されている。

【0032】

コンピューティングモジュール300は、プロセッサ301、302、メモリ304およびメモリ制御部305を有している。プロセッサ301、302はバス303を共有している。メモリ制御部305は信号線732を介してデータ転送部702に接続されている。また、メモリ制御部305は信号線602を介して周辺装置制御部400に接続され、信号線612を介して周辺装置制御部500に接続されている。

【0033】

以下、コンピューティングモジュール100に着目して説明する。

【0034】

プロセッサ101、102はロックステップフォルトトレラントコンピュータに与えられた命令を実行する。プロセッサ101、102は他のコンピューティングモジュール200、300のプロセッサとクロック同期して同じ命令を同時に実行する。命令列を実行するとき、プロセッサ101、102は、メモリ制御部105を介してメモリ104にライトアクセスまたはリードアクセスを行う。

【0035】

また、プロセッサ101、102は他のコンピューティングモジュール200、300のプロセッサとクロック同期して周辺装置へアクセスする。周辺装置制御部400に接続された周辺装置へのアクセスは、バス103、メモリ制御部1

05 および信号線 600 を介して行われる。周辺装置制御部 500 に接続された周辺装置へのアクセスは、バス 103、メモリ制御部 105 および信号線 610 を介して行われる。

【0036】

また、プロセッサ 101, 102 は、タイミング監視部 700 からの割り込みにより停止指示を受けると、割り込みが発生したときに処理していたプロセスのコンテキストを所定のメモリ領域に掃き出して停止する。さらに、プロセッサ 101, 102 は、自身のロックステップが外れたことによる停止指示により停止すると、その後にハードウェア診断を実行する。ハードウェア診断とは、コンピューティングモジュール 100 内のハードウェアに故障があるか否か診断するものである。

【0037】

メモリ制御部 105 は、プロセッサ 101, 102 からのライトアクセスおよびリードアクセスのリクエストをメモリ 104 に伝える。また、メモリ制御部 105 は、メモリからのレスポンスをプロセッサ 101, 102 に伝える。

【0038】

リクエストはライトアクセスまたはリードアクセスのときにプロセッサからメモリに送られる。ライトアクセスのリクエストには書き込みデータが含まれる。また、レスポンスはリードアクセスのときにメモリからプロセッサに送られる。レスポンスには読出しデータが含まれる。

【0039】

また、メモリ制御部 105 は、プロセッサ 101, 102 から各周辺装置へのアクセスを周辺装置制御部 400, 500 に伝える。

【0040】

また、メモリ制御部 105 は、データ転送部 702 から信号線 730 を介したアクセスをメモリ 104 に伝える。一例として、データ転送部 702 からのアクセスは DMA 転送を行うものである。DMA 転送では、メモリ 104 がデータ転送元になる場合と、データ転送先になる場合がある。

【0041】

周辺装置制御部 4 0 0, 5 0 0 は、全てのコンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 からの周辺装置へのアクセスのリクエストが一致しているか否か監視している。全てのコンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 からのリクエストが一致していれば、周辺装置制御部 4 0 0, 5 0 0 はそれらを 1 つのリクエストとして周辺装置に伝える。それらのリクエストが一致していなければ、周辺装置制御部 4 0 0, 5 0 0 は、例えば、それらのリクエストを破棄してもよく、また多数決によって定まるリクエストを周辺装置に伝えてもよい。

【 0 0 4 2 】

また、周辺装置へのアクセスがリードアクセスの場合、周辺装置制御部 4 0 0, 5 0 0 は周辺装置から読み出されたデータを含むレスポンスを全てのコンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 に同じタイミングで伝える。

【 0 0 4 3 】

タイミング監視部 7 0 0 は、信号線 7 1 0 および信号線 7 2 0 を介して、コンピューティングモジュール 1 0 0 のバス 1 0 3 に接続されている。信号線 7 1 0 は、プロセッサ 1 0 1, 1 0 2 からメモリ 1 0 4 または周辺装置へのアクセスのリクエストにおいて、アドレスの出力タイミングを示すアドレスストローブをバス 1 0 3 からタイミング監視部 7 0 0 に伝える。信号線 7 2 0 は、プロセッサ 1 0 1, 1 0 2 からメモリ 1 0 4 または周辺装置へのアクセスのリクエストにおいて、コマンドおよびアドレスをバス 1 0 3 からタイミング監視部 7 0 0 に伝える。コマンドとは、例えばライトアクセスかリードアクセスかなどである。

【 0 0 4 4 】

タイミング監視部 7 0 0 は、同様に、信号線 7 1 1 および信号線 7 2 1 を介して、コンピューティングモジュール 2 0 0 のバス 2 0 3 に接続されており、信号線 7 1 2 および信号線 7 2 2 を介して、コンピューティングモジュール 3 0 0 のバス 3 0 3 に接続されている。

【 0 0 4 5 】

タイミング監視部 7 0 0 は、信号線 7 1 0, 7 1 1, 7 1 2 を介して受信したアドレスストローブと、信号線 7 2 0, 7 2 1, 7 2 2 を介して受信したコマン

ドおよびアドレスとを用いて、各コンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 のアクセスが一致するか否か監視する。アクセスの不一致を検出すると、タイミング監視部 7 0 0 は、アクセスの不一致と、不一致となったコンピューティングモジュールをアドレス記憶部 7 0 1 に通知する。

【 0 0 4 6 】

アクセスが不一致となったコンピューティングモジュールはロックステップの外れたものと判断される。

【 0 0 4 7 】

また、タイミング監視部 7 0 0 は、アクセスの不一致を検出すると、全てのコンピューティングモジュールのプロセッサに割り込みによって停止指示を通知する。これにより、各プロセッサは、割り込みが発生したときに処理していたプロセスのコンテキストを所定のメモリ領域に掃き出して停止する。

【 0 0 4 8 】

アクセスの一致の監視の具体例としては、タイミング監視部 7 0 0 は、各コンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 から同じサイクルでアドレスストローブが受信され、かつ、そのタイミングで受信されたコマンドおよびアドレスが同じであれば、アクセスが一致したと判断すればよい。より簡易的な具体例として、タイミング監視部 7 0 0 は、アドレスストローブのみを受信し、各コンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 から同じサイクルでアドレスストローブが受信されればアクセスが一致したと判断してもよい。

【 0 0 4 9 】

アドレス記憶部 7 0 1 は、ロックステップの外れたコンピューティングモジュール内のメモリに記録されたデータがロックステップの外れていないコンピューティングモジュール内のメモリに記録されたデータと異なるアドレスを保持するバッファを有している。

【 0 0 5 0 】

アドレス記憶部 7 0 1 は、アクセスの不一致と、不一致の検出されたコンピューティングモジュールをタイミング監視部 7 0 1 から通知されると、不一致が検出されたアクセスおよびそれ以降の各コンピューティングモジュールによるライ

トアクセスについて、アクセスされたアドレスを記録する。

【0051】

データ転送部702は、全てのコンピューティングモジュールのプロセッサが停止し、その後に行われるハードウェア診断が完了すると、エラーインディケータフラグとハードウェア診断の結果とを確認する。エラーインディケータフラグは、コンピューティングモジュール内にエラーが発生していることを示すフラグである。固定的な故障が発生していれば、データ転送部702はエラーインディケータフラグまたはハードウェア診断結果からそれを知ることができる。

【0052】

コンピューティングモジュール内に固定的な故障が発生していなければ、データ転送部702は、ロックステップの外れたコンピューティングモジュールのメモリの内容を他のコンピューティングモジュールのメモリの内容と一致させる再同期化処理を行う。

【0053】

コンピューティングモジュールにキャッシュがあれば、再同期化処理において、ロックステップの外れていないコンピューティングモジュールにおいてキャッシュフラッシュが実行される。キャッシュフラッシュが実行されるのは、ロックステップの外れていないいずれか1つのコンピューティングモジュールであってもよい。

【0054】

このキャッシュフラッシュによりキャッシュ内のデータがメモリに掃き出される。このとき、データがライトされたメモリのアドレスはアドレス記憶部701に記録される。

【0055】

キャッシュフラッシュが完了すると、データ転送部702は、アドレス記憶部701に記録しているアドレスについて、ロックステップの外れていないコンピューティングモジュールのメモリからロックステップの外れたコンピューティングモジュールのメモリにデータをコピーする。このとき、データのコピーにはDMA転送が用いられてもよい。

【 0 0 5 6 】

データ転送部 7 0 2 はデータのコピーを完了すると、全てのコンピューティングモジュールをリセットし、通常運用を開始させる。このとき、全てのコンピューティングモジュールのプロセッサは、コンピューティングモジュールの所定のメモリ領域にあるコンテキストを使って通常運用時の動作を開始する。

【 0 0 5 7 】

なお、本実施形態では、プロセッサ 1 0 1, 1 0 2 からメモリ 1 0 4 へのアクセスのリクエストはバス 1 0 3 から引き出した信号線 7 1 0, 7 2 0 によりタイミング監視部 7 0 0 およびアドレス記憶部 7 0 1 に伝えられている。しかし、本発明はこれに限定されるものではない。例えば、信号線 7 1 0, 7 2 0 はメモリ制御部 1 0 5 とメモリ 1 0 4 の間の信号線から引き出されてもよい。

【 0 0 5 8 】

本実施形態のロックステップフォルトトレラントコンピュータの動作の流れについて説明する。

【 0 0 5 9 】

通常、コンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 はクロック同期して、ロックステップフォルトトレラントコンピュータに与えられた同じ命令列を同時に実行している。各コンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 のプロセッサは命令に従ってメモリや周辺装置にアクセスする。コンピューティングモジュール 1 0 0, 2 0 0, 3 0 0 のアクセスは、タイミング、コマンドおよびアドレスが一致しているか否かタイミング監視部 7 0 0 により監視されている。

【 0 0 6 0 】

ここで、コンピューティングモジュール 1 0 0 に擾乱が入り、コンピューティングモジュール 1 0 0 のアクセスが他のコンピューティングモジュール 2 0 0, 3 0 0 のアクセスと不一致になったとする。ただし、コンピューティングモジュール 1 0 0 に固定的な故障は生じていないものとする。

【 0 0 6 1 】

その不一致はタイミング監視部 7 0 0 により検出される。その不一致を検出す

ると、タイミング監視部 7 0 0 は、コンピューティングモジュール 1 0 0 のロックステップが外れたと判断し、アクセスの不一致および不一致となったコンピューティングモジュールをアドレス記憶部 7 0 1 に通知する。

【 0 0 6 2 】

また、タイミング監視部 7 0 0 は、全てのコンピューティングモジュールのプロセッサに対して割り込みによって停止指示を通知する。

【 0 0 6 3 】

アクセスの不一致と、不一致となったコンピューティングモジュール 1 0 0 を通知されると、アドレス記憶部 7 0 1 は、不一致が検出したアクセスおよびそれ以降の、各コンピューティングによるライトアクセスについて、アクセスされたアドレスを記録する。

【 0 0 6 4 】

停止指示を受けたプロセッサは、処理中のプロセスのコンテキストを所定のメモリ領域に掃き出して停止する。

【 0 0 6 5 】

アクセスが他のコンピューティングモジュールと不一致となったコンピューティングモジュール（ここではコンピューティングモジュール 1 0 0 ）については、その後、ハードウェア診断が実行される。

【 0 0 6 6 】

ハードウェア診断が完了すると、データ転送部 7 0 2 がエラーインディケータとハードウェア診断の結果を確認する。ここでは、コンピューティングモジュール 1 0 0 には固定的な故障が生じていないので、データ転送部 7 0 2 は再同期化処理を行う。

【 0 0 6 7 】

再同期化処理においては、ロックステップの外れていないコンピューティングモジュールにキャッシュがあれば、キャッシュフラッシュが行われる。このキャッシュフラッシュによりキャッシュ内のデータがメモリに掃き出される。メモリに対するデータの掃き出しはライトアクセスにより行われるので、データの掃き出されたアドレスはアドレス記憶部 7 0 1 に記録される。

【0068】

次に、データ転送部702は、アドレス記憶部701に記録されているアドレスについてのみ、再同期化するコンピューティングモジュール（ここではコンピューティングモジュール100）に対して他のコンピューティングモジュールのデータをコピーする。このデータコピーはDMA転送により行われる。

【0069】

通常、アドレス記憶部701に記憶されているアドレスの数は、全体のアドレス数に比べて非常に少ない数である。そのため、ここでのデータコピーは全アドレスのデータコピーに比べて非常に短い時間で終了する。

【0070】

データコピーを完了すると、データ転送部702は全コンピューティングモジュールをリセットする。リセットされると、全てのコンピューティングモジュール100, 200, 300は互いにクロック同期し、通常の運用を開始する。

【0071】

以上説明したように、本実施形態によれば、タイミング監視部700が、ロックステップの外れを検出すると、アドレス記憶部701が、ロックステップの外れたコンピューティングモジュールにおいてデータが他のコンピューティングモジュールと異なる可能性のあるメモリのアドレスを記録し、再同期化するとき、データ転送部702が、アドレス記憶部701に記録されているアドレスのデータだけをDMA転送によりコピーするので、ロックステップを早期に検出可能であるとともに短い時間でデータコピーが完了させることができ、固定的な故障でない要因によりロックステップの外れたコンピューティングモジュールを早期に運用に組み込むことができる。

【0072】

なお、本実施形態では、ロックステップフォルトトレラントコンピュータが3つのコンピューティングモジュール100, 200, 300を有する構成を例示したが、本発明はそれに限定されない。コンピューティングモジュールは複数であればよい。

【0073】

【発明の効果】

本発明の情報処理装置によれば、監視手段がロックステップの外れを検出すると、アドレス記憶手段が、ロックステップの外れたモジュールにおいてデータが他のモジュールと異なる可能性のあるメモリのアドレスを記録し、データコピー手段が、アドレス記憶手段に記録されているアドレスのデータだけをコピーするので、短い時間でデータコピーが完了させることができ、ロックステップの外れたモジュールを早期に運用に組み込むことができる。また、本発明によれば、ロックステップを早期に検出することができる。

【図面の簡単な説明】

【図 1】

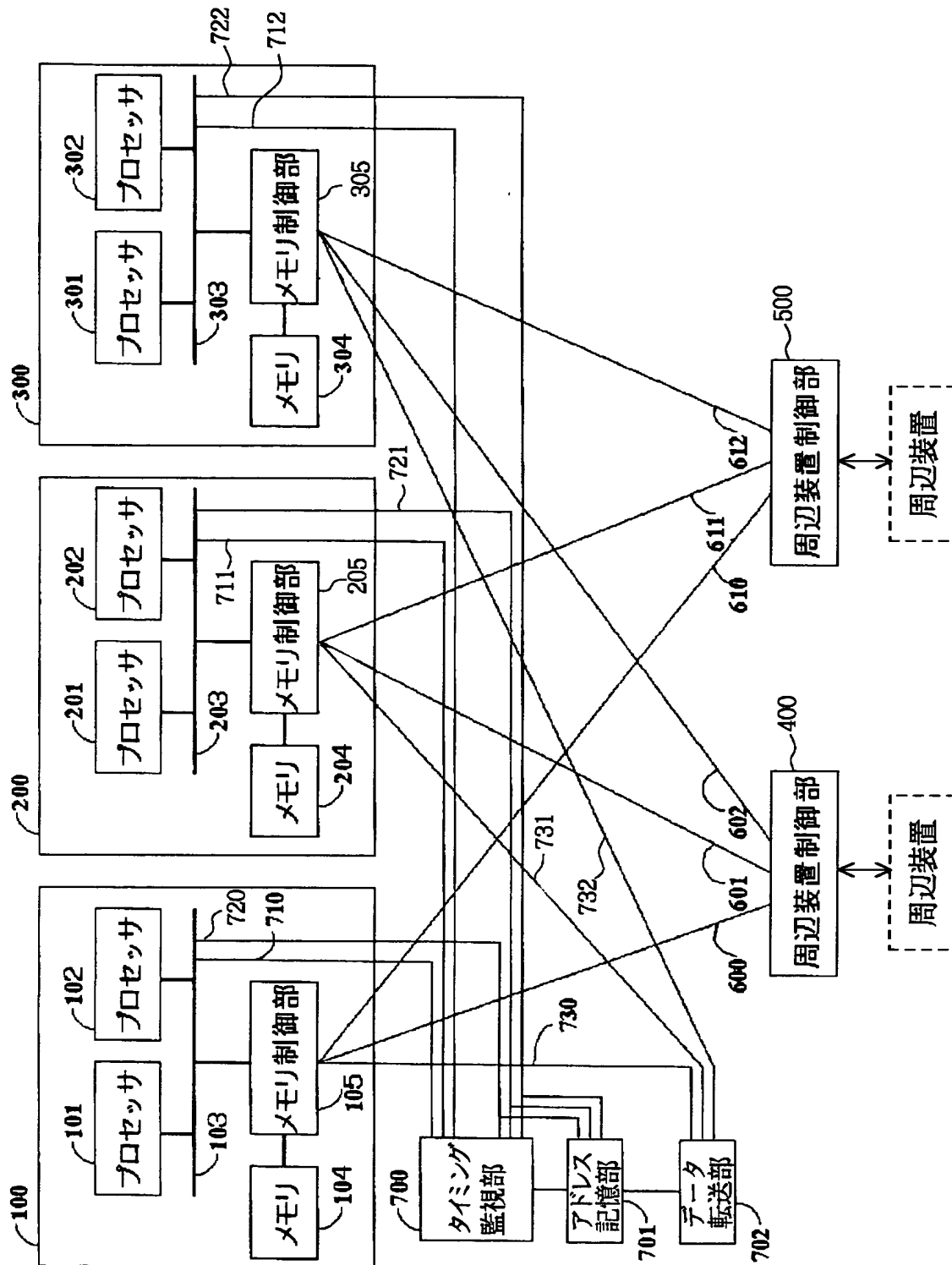
本発明による一実施形態のロックステップフォルトトレラントコンピュータの構成を示すブロック図である。

【符号の説明】

1 0 0, 2 0 0, 3 0 0 コンピューティングモジュール
 1 0 1, 1 0 2, 2 0 1, 2 0 2, 3 0 1, 3 0 2 プロセッサ
 1 0 3, 2 0 3, 3 0 3 バス
 1 0 4, 2 0 4, 3 0 4 メモリ
 1 0 5, 2 0 5, 3 0 5 メモリ制御部
 4 0 0, 5 0 0 周辺装置制御部
 6 0 0, 6 0 1, 6 0 2, 6 1 0, 6 1 1, 6 1 2, 7 1 0, 7 1 1, 7 1 2
 , 7 3 0, 7 3 1, 7 3 2 信号線
 7 0 0 タイミング監視部
 7 0 1 アドレス記憶部
 7 0 2 データ転送部

【書類名】 図面

【図 1】



【書類名】 要約書

【要約】

【課題】 運用状態から切り離されたコンピューティングモジュールを組み込むときの停止時間の短いフォルトトレラントコンピュータを提供する。

【解決手段】 監視手段 7 0 0 は、複数のモジュール 1 0 0, 2 0 0, 3 0 0 のプロセッサ 1 0 1, 1 0 2, 2 0 1, 2 0 2, 3 0 1, 3 0 2 の動作の一致を監視している。いずれかのモジュールのプロセッサの動作が他のモジュールと不一致となったことが検出されると、アドレス記憶手段 7 0 1 は、不一致が検出されたアクセスおよびそれ以降の各モジュール 1 0 0, 2 0 0, 3 0 0 のプロセッサがライトアクセスするアドレスを記録する。データコピー手段 7 0 2 は、不一致となったモジュール内のメモリに、アドレス記憶手段 7 0 1 に記録されたアドレスについてのみ、他のモジュール内のメモリからデータをコピーする。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社